

[MENU](#)
[SEARCH](#)
[INDEX](#)
[DETAIL](#)
[JAPANESE](#)

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-266085  
 (43)Date of publication of application : 11.10.1996

(51)Int.Cl. H02P 6/08  
 H02P 6/10

(21)Application number : 08-041082 (71)Applicant : SGS THOMSON MICROELECTRON INC  
 (22)Date of filing : 28.02.1996 (72)Inventor : CAROBOLANTE FRANCESCO

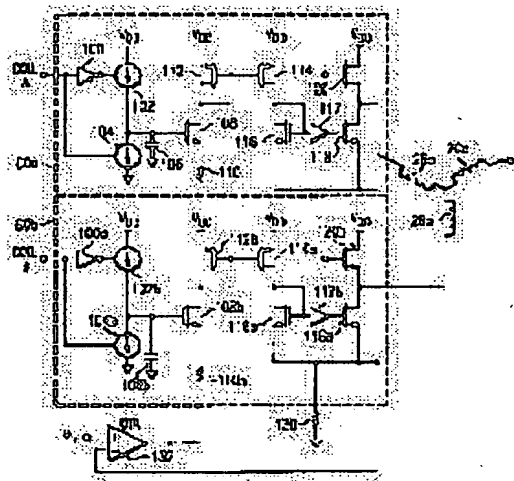
(30)Priority  
 Priority number : 95 395869 Priority date : 28.02.1995 Priority country : US

### (54) STATOR COIL DRIVER CIRCUIT FOR BRUSHLESS DC MOTOR

#### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a stator coil drive circuit for a brushless DC motor, which minimizes the torque ripples by keeping a current constant during the communicating operation.

**SOLUTION:** Driver circuits 80a and 80b have slew rate control circuits for ramp-upping or ramp-downing currents during communication period. The slew-rate control circuit is composed of a capacitor 106, a first current source 101 for charging the capacitor, and a second current source 104 for discharging the capacitor. This circuit further has a detecting resistor 130 and a detecting field-effect transistor and also has an operational transconductance amplifier 132.



#### LEGAL STATUS

[Date of request for examination] 18.02.2003  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-266085

(43) 公開日 平成8年(1996)10月11日

|                           |      |        |              |                    |
|---------------------------|------|--------|--------------|--------------------|
| (51) Int.Cl. <sup>4</sup> | 識別記号 | 庁内整理番号 | F I          | 技術表示箇所             |
| H 0 2 P 6/08<br>6/10      |      |        | H 0 2 P 6/02 | 3 7 1 A<br>3 7 1 G |

審査請求 未請求 請求項の枚数 18 O L (全 9 頁)

(21) 出願番号 特開平8-41082

(22) 出願日 平成8年(1996)2月28日

(31) 優先権主張番号 3 9 5 8 6 9

(32) 優先日 1995年2月28日

(33) 優先権主張国 米国 (U S)

(71) 出願人 591236448

エスジーエーストムソン マイクロエレクトロニクス, インコーポレイテッド  
SGS-THOMSON MICROELECTRONICS, INCORPORATED

アメリカ合衆国, テキサス 75006, カールトン, エレクトロニクス ドライブ 1310

(72) 発明者 フランセスコ カロボランテ

アメリカ合衆国, カリフォルニア 95028, ポートラ パレイ, クレッセント アベニュー 151

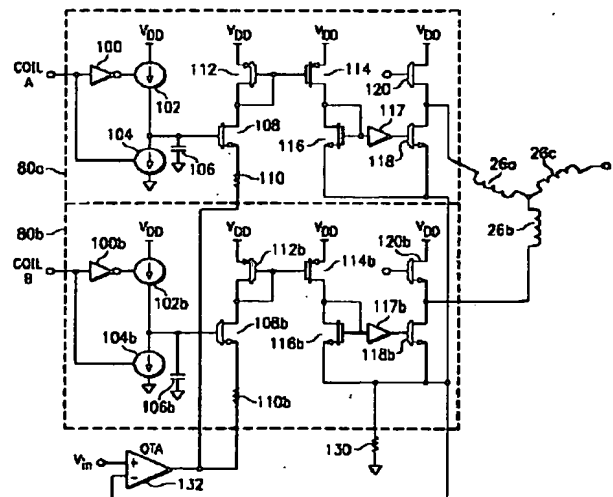
(74) 代理人 弁理士 小杉 一男 (外1名)

(54) 【発明の名称】 ブラシレスDCモータ用ステータコイル駆動回路

(57) 【要約】

【課題】 転流動作中に電流を一定に維持することによってトルクリップルを最小とさせるブラシレスDCモータ用のステータコイルドライバ回路を提供する。

【解決手段】 本発明によるドライバ回路 (80) は、コミュテーション (転流) 期間中に電流をランプアップ又はランプダウンさせるためのスルーレート制御回路を有している。該スルーレート制御回路は、コンデンサ (106) と、コンデンサを充電するための第一電流源 (102) と、コンデンサを放電させるための第二電流源 (104) とから構成されている。本回路は、更に、検知抵抗 (130) 又は検知電界効果トランジスタ (122) を有すると共に、フィードバック制御を与えるための演算トランスコンダクタンス増幅器 (132) を有している。



【特許請求の範囲】

【請求項1】 複数のステータコイルにおいて一定の全電流を維持するための複数のドライバ回路において、前記各ドライバ回路が、

第一入力端と第二入力端とを具備しており且つ第一端部を前記ステータコイルへ接続しており第二端部を持った導電性経路を具備しているステータコイル駆動回路、第一端部を前記ステータコイル駆動回路の導電性経路の第二端部へ接続しており且つ第二端部を基準電圧へ接続しており前記ステータコイルを介しての電流を検知する検知回路、

第一入力端を前記検知回路の第一端部へ接続しておりステータコイル駆動信号を受取るための第二入力端を具備すると共に前記ステータコイル駆動回路の第一入力端へ接続した出力端を具備しているフィードバック演算トランスコンダクタンス増幅器、制御論理信号へ接続される入力端を具備すると共に前記ステータコイル駆動回路の第二入力端へ接続した出力端を具備するスルーレート制御回路、を有することを特徴とするドライバ回路。

【請求項2】 請求項1において、前記スルーレート制御回路が、

前記制御論理信号を受取るための入力端を具備すると共に出力端を具備するインバータ、

前記インバータの出力端へ接続している制御要素を具備しており、電圧源へ接続している電流ドレインを具備しており且つ第一トランジスタの制御要素へ接続している電流ソースを具備している第一定電流源、

前記インバータの入力端へ接続している制御要素を具備しており、前記第一トランジスタの制御要素へ接続している電流ドレインを具備しており、前記基準電圧へ接続している電流ソースを具備している第二定電流源、

前記第一トランジスタの制御要素へ接続している第一プレートとを具備すると共に前記基準電圧へ接続している第二プレートとを具備しているコンデンサ、を有しており、前記論理制御信号にตอบสนองして前記第一定電流源が前記コンデンサを充電するか又は前記第二定電流源が前記コンデンサを放電させ、その結果得られるコンデンサ上の電圧が前記第一トランジスタを制御することを特徴とするドライバ回路。

【請求項3】 請求項1において、前記ステータコイル駆動回路が第二カレントミラーと直列している第一カレントミラーを有していることを特徴とするドライバ回路。

【請求項4】 複数のステータコイルにおいて一定な全電流を維持するための複数のドライバ回路において、前記各ドライバ回路が、  
入力端を具備しており、且つ第一端部を前記ステータコイルへ接続しており且つ第二端部を持った導電性経路を具備しているステータコイル駆動回路、

第一端部を前記ステータコイル駆動回路の導電性経路の第二端部へ接続しており且つ基準電圧へ接続した第二端部を具備しており、前記ステータコイルを介しての電流を検知する検知抵抗、

05 第一入力端を前記検知抵抗の第一端部へ接続しており且つステータコイル駆動信号を受取るための第二入力端を具備すると共に出力端を具備しているフィードバック演算トランスコンダクタンス増幅器、

第一端部を前記ステータコイル駆動回路の入力端へ接続しており、第二端部を持った電流経路を具備しており且つ制御要素を具備している第一トランジスタ、

10 第一端部を前記第一トランジスタの電流経路の第二端部へ接続しており且つ第二端部を前記フィードバック演算トランスコンダクタンス増幅器の出力端へ接続している抵抗、

15 制御論理信号へ接続される入力端を具備すると共に前記第一トランジスタの制御要素へ接続されている出力端を具備しているスルーレート制御回路、を有することを特徴とするドライバ回路。

20 【請求項5】 請求項4において、前記スルーレート制御回路が、

前記制御論理信号を受取るための入力端を具備すると共に出力端を具備するインバータ、

25 前記インバータの出力端へ接続している制御要素を具備しており、電圧源へ接続している電流ドレインを具備しており、前記第一トランジスタの制御要素へ接続している電流ソースを具備している第一定電流源、

前記インバータの入力端へ接続している制御要素を具備しており、前記第一トランジスタの制御要素へ接続している電流ドレインを具備しており、前記基準電圧へ接続している電流ソースを具備している第二定電流源、

30 前記第一トランジスタの制御要素へ接続している第一プレートを具備すると共に前記基準電圧へ接続している第二プレートを具備しているコンデンサ、を有しており、

35 前記論理制御信号にตอบสนองして前記第一定電流源が前記コンデンサを充電するか又は前記第二定電流源が前記コンデンサを放電し、その結果コンデンサ上に得られる電圧が前記第一トランジスタを制御することを特徴とするドライバ回路。

40 【請求項6】 請求項4において、前記ステータコイル駆動回路が第二カレントミラーと直列している第一カレントミラーを有していることを特徴とするドライバ回路。

【請求項7】 請求項4において、前記第一トランジスタがMOSFETトランジスタを有していることを特徴とするドライバ回路。

【請求項8】 請求項7において、前記第一トランジスタがNチャンネルMOSFETトランジスタを有していることを特徴とするドライバ回路。

【請求項9】 ステータコイルにおいて一定な全電流を維持するドライバ回路において、

入力端を具備しており且つ第一端を前記ステータコイルへ接続しており且つ第二端を持った導電性経路を具備しているステータコイルにおいて電流を駆動する手段、出力端を具備するステータコイルを介しての電流を検知する検知電界効果トランジスタカレントミラー手段、前記ステータコイルを介しての電流を検知するための検知電界効果トランジスタカレントミラー手段の出力端へ接続されている第一入力端を具備しており、ステータコイル駆動信号を受取るための第二入力端を具備しており、且つ出力端を具備しているフィードバック演算トランスコンダクタンス増幅器、ステータコイル駆動における電流を駆動するための手段の入力端へ接続されている第一端と第二端とを持った電流経路を具備しており且つ制御要素を具備している第一トランジスタ、前記第一トランジスタの電流経路の第二端へ接続している第一端を具備すると共に前記フィードバック演算トランスコンダクタンス増幅器の出力端へ接続している第二端を具備する抵抗、制御論理信号へ接続される入力端を具備すると共に前記第一トランジスタの制御要素へ接続されている出力端を具備しているスルーレート制御回路手段、を有することを特徴とするドライバ回路。

【請求項10】 請求項9において、前記スルーレート制御回路手段が、制御論理信号を受取るための入力端を具備すると共に出力端を具備するインバータ、前記インバータの出力端へ接続している制御要素を具備しており、電圧源へ接続している電流ドレインを具備しており、前記第一トランジスタの制御要素へ接続している電流ソースを具備している第一定電流源、前記インバータの入力端へ接続している制御要素を具備しており、前記第一トランジスタの制御要素へ接続している電流ドレインを具備しており、基準電圧へ接続している電流ソースを具備している第二定電流源、前記第一トランジスタの制御要素へ接続している第一プレートとを具備しており且つ基準電圧へ接続している第二プレートとを具備しているコンデンサ、を有しており、前記論理制御信号に応答して前記第一定電流源が前記コンデンサを充電するか又は前記第二定電流源が前記コンデンサを放電し、その結果コンデンサ上に得られる電圧が前記第一トランジスタを制御することを特徴とするドライバ回路。

【請求項11】 請求項9において、前記ステータコイル駆動回路が第二カレントミラーと直列している第一カレントミラーを有することを特徴とするドライバ回路。

【請求項12】 請求項9において、前記第一トランジスタがMOSFETトランジスタを有することを特徴とするドライバ回路。

【請求項13】 請求項12において、前記第一トラン

ジスタがNチャンネルMOSFETトランジスタを有することを特徴とするドライバ回路。

【請求項14】 ステータと、ロータと、コミュレーション回路と、前記ロータの位置を決定する手段と、複数のドライバ回路とを有するディスク駆動システムにおいて、各ドライバ回路が、入力端を具備しており、且つ第一端を前記ステータコイルへ接続しており且つ第二端を持った導電性経路を具備しているステータコイル駆動回路、前記ステータコイル駆動回路の導電性経路の第二端へ接続している第一端を具備すると共に基準電圧へ接続している第二端を具備しており前記ステータコイルを介しての電流を検知する検知抵抗、前記検知抵抗の第一端へ接続している第一入力端を具備しており、ステータコイル駆動信号を受取るための第二入力端を具備しており、且つ出力端を具備しているフィードバック演算トランスコンダクタンス増幅器、前記ステータコイル駆動回路の入力端へ接続している第一端と第二端とを持った電流経路を具備しており且つ制御要素を具備している第一トランジスタ、前記第一トランジスタの電流経路の第二端へ接続している第一端を具備しており且つ前記フィードバック演算トランスコンダクタンス増幅器の出力端へ接続している第二端を具備している抵抗、制御論理信号へ接続される入力端を具備しており且つ前記第一トランジスタの制御要素へ接続している出力端を具備しているスルーレート制御回路、を有していることを特徴とするディスク駆動システム。

【請求項15】 請求項14において、前記スルーレート制御回路が、前記制御論理信号を受取るための入力端を具備すると共に出力端を具備しているインバータ、前記インバータの出力端へ接続している制御要素を具備しており、電圧源へ接続している電流ドレインを具備しており、且つ前記第一トランジスタの制御要素へ接続している電流ソースを具備している第一定電流源、前記インバータの入力端へ接続している制御要素を具備しており、前記第一トランジスタの制御要素へ接続している電流ドレインを具備しており、且つ前記基準電圧へ接続している電流源を具備している第二定電流源、前記第一トランジスタの制御要素へ接続している第一プレートとを具備しており且つ前記基準電圧へ接続している第二プレートとを具備しているコンデンサ、を有しており、前記論理制御信号に応答して前記第一定電流源が前記コンデンサを充電するか又は前記第二定電流源が前記コンデンサを放電し、その結果コンデンサ上に得られる電圧が前記第一トランジスタを制御することを特徴とするディスク駆動システム。

【請求項16】 請求項14において、前記ステータコ

イル駆動回路が第二カレントミラーと直列している第一カレントミラーを有することを特徴とするディスク駆動システム。

【請求項17】 請求項14において、前記第一トランジスタがMOSFETトランジスタを有することを特徴とするディスク駆動システム。

【請求項18】 請求項14において、前記第一トランジスタがNチャンネルMOSFETトランジスタを有することを特徴とするディスク駆動システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はブラシレス直流モータに関するものであって、更に詳細には、ブラシレス直流モータ用のステータコイルドライバ回路に関するものである。更に詳細には、本発明はそのようなドライバ回路に対するスルーレート制御回路に関するものである。

【0002】

【従来の技術】 ブラシレス直流モータ（DCモータ）は、ディスクドライブ、テープドライブ、ビデオカセットプレイヤー等において一般的に使用されており、且つ、典型的に、それらの適用例においてそれらの性能に関して厳しい条件のもとで使用されている。1個のステータコイルにおける電流をスイッチオフさせると共に別のコイルにおける電流をスイッチオンさせることによって達成されるこのようなモータの位相コミュテーション（転流）期間中に、電流リップルが発生するという問題があった。これら2つのコイル上の逆起電力（BEMF）が等しく且つ各コイルによって与えられるトルクも等しい場合にコミュテーション即ち転流を行なうべきであるということが当該技術分野においては公知である。トルクリップルはコミュテーション期間中における問題となっており、その結果モータによって不所望の音響的ノイズが発生され且つモータに関し不必要な摩耗が発生する。

【0003】 図1は当該技術分野において公知のブラシレスDCモータの典型的なアーキテクチャを示している。このアーキテクチャは、モータ12と、コミュテータ20と、ドライバ22と、電圧源24とを有している。該モータは、ロータ14と、ステータ16と、ホール効果センサ103とを有している（このブロック図はホール効果センサを示しているが、ホール効果センサを使用する代わりにロータの位置を決定するためにフローティングコイルのBEMF即ち逆起電力を使用することも当該技術分野において公知である）。ステータ16はY形態に配列された3個のステータコイル26a、26b、26cを有している。動作について説明すると、コミュテータブロック20は、ドライバブロック22における適宜のステータコイルドライバ回路を逐次的に選択し、当該技術分野において公知の如く、ステータコイル16a、16b又は16cの中へ又はそれから外部へ電

流を駆動させる。ホール効果センサ103は、ロータ14と結合して、必要な位置情報を与え、従ってコミュテータ回路20は適宜の時間においてドライバ回路22をコミュテーション即ち転流を実行させることが可能である。典型的なディスクドライブの動作については例えば米国特許第5,017,845号、第5,172,036号、第5,191,269号、第5,221,881号、第5,306,988号等により詳しく記載されている。

【0004】 図2はコミュテーションリップルを減少させるために使用されており米国特許第5,191,269号に詳細に記載されている従来の回路を示している。この回路は、ターンオフしている位相上の電圧スルーレート制御及びターンオンしている位相を介しての電流ループの高速なる閉成の組合わせを使用することによってコミュテーションリップルを減少させている。より詳細に説明すると、図2はY形態にあるステータコイル26a、26b、26cを示している。ステータコイル26aに対する低電圧側ドライバ回路は、スイッチ56、電流源72、増幅器70、コンデンサ76、トランジスタ38を有するものとして示されている。ステータコイル26bに対する低電圧側ドライバ回路は、スイッチ62、電流源84、増幅器82、コンデンサ88、トランジスタ44を有するものとして示してある。

【0005】 図2において、ステータコイル26bがターンオンされる場合にステータコイル26aがターンオフされる。コミュテータが第一スイッチ56を開成させ一方第二スイッチ62を閉成させると、スルーレート制御器が一方の位相において流れる電流のターンオフ速度を制御し、一方電流検知抵抗はトランジスタ38及び44内を流れる電流の和を検知する。この電流検知抵抗は、トランジスタ38及び44の加算した電流を表わすフィードバック電圧を演算増幅器50の反転入力端へ印加させる。演算増幅器50は電圧源の所定の電圧とフィードバック電圧との間の電圧差を表わす電圧をその出力端において発生し、その際に第二トランジスタのゲートにおけるその電圧差が他の位相のターンオフの速度を制御し、従ってその位相における全電流はコミュテーション（転流）を介して一定に維持され且つ $V_{in}/$ 検知抵抗30の抵抗値に等しい。

【0006】 このアプローチに対する欠点は以下の如くである。

【0007】 (1) スルーレート制御はPWM（パルス幅変調）動作によって打ち消されるので、この技術はPWMモードでは動作せず、従って滑らかな電流の遷移を阻止する。

【0008】 (2) ターンオンスルーレートを制御するために何らかの回路を付加しない限り電流を制御するフェーズ即ち位相の高速のターンオンはEMIを発生し、電流安定性を犠牲にする可能性がある。

【0009】(3)この回路は、例えばハイパワー適用例における電流を直列装置が制御する場合に典型的に使用される「飽和」条件(即ちゲートオーバードライブ)からコミュテーション(転流)を行なう場合に遅延を最小とするための何らかのエキストラな回路を必要とする。

【0010】(4)部分的には上述した継ぎはぎのために、全体的なブレドライバ回路がむしろ複雑なものとなる。

【0011】

【発明が解決しようとする課題】本発明は、ブレドライバ回路を単純化することを目的とする。本発明の別の目的とするところは、リニアモード及びPWMモードの両方においてEMI及び音響ノイズを減少させることである。本発明の更に別の目的とするところは、スルーレート制御に対する局所的なフィードバックが存在しないことに起因する安定性を改善させることである。本発明の更に別の目的とするところは、低電圧側ドライバ調整及び直列経路調整の両方に互換性を与えるものである。

【0012】

【課題を解決するための手段】本発明の広義の側面によれば、多相DCモータのステータコイルを駆動するための回路がドライバ回路に対しスルーレート制御回路を設けることによって改善されている。このスルーレート制御回路は、コンデンサ、該コンデンサを充電するための電流源、及び該コンデンサを放電するための電流源を有している。検知抵抗及び演算トランスコンダクタンス増幅器フィードバックループと結合してスルーレート制御回路を使用することによって、コミュテーション(転流)期間中にコイル内において一定の電流を維持することが可能であり、そのことはトルクリップル及びEMIを減少させる。本発明技術はリニアモードにおいてのみならずPWMモードにおいても効果的なものである。

【0013】

【発明の実施の形態】本発明の好適実施例に基づいて構成されたステータコイルドライバ回路について説明する。図3を参照すると、ステータコイル26a、26b、26cがY形態に接続されている。コイル26a用のドライバ回路80aはコイル26b用のドライバ回路80bと同一である。更に、Y形態に接続された3個のコイルを3個の駆動回路が駆動することが望ましい。

【0014】コイル26a用のドライバ回路はインバータ100を有しており、それは、コミュテータ20からコイルA制御論理信号を受取るための入力端を具備すると共に、電流源102の制御要素へ接続している出力端を具備している。電流源102は電源電圧Vddへ接続しているドレイン端を有すると共に、電流源104のドレイン端と、コンデンサ106の第一プレートと、NチャンネルMOSFETトランジスタ108のゲートとに接続しているソース端を有している。電流源104は、

インバータ100の入力端へ接続している制御要素を有すると共に基準電圧(本実施例では接地)へ接続しているソース端を有している。コンデンサ106の第二プレートは接地へ接続している。トランジスタ108は、PチャンネルMOSFETトランジスタ112及びPチャンネルMOSFETトランジスタ114から構成されるカレントミラーへ接続しているドレインを有している。トランジスタ108のソースは抵抗110の第一端へ接続している。トランジスタ108のドレインはトランジスタ112のドレイン及びゲート及びトランジスタ114のゲートへ接続している。トランジスタ112及び114のソースはVddへ接続している。トランジスタ114のドレインはNチャンネルMOSFETトランジスタ116のドレイン及びゲート及び単位利得バッファ増幅器117の入力端へ接続している。単位利得増幅器117の出力端はNチャンネルMOSFETトランジスタ118のゲートへ接続している。トランジスタ116と、バッファ増幅器117と、トランジスタ118とは第二カレントミラーを形成しており、その場合に、バッファ増幅器117がカレントミラーの性能を改善している。トランジスタ118のドレインはNチャンネルMOSFETトランジスタ120のソースへ接続されると共にコイル26aの一端に接続している。トランジスタ120はコイル26aに対する高電圧側ドライバトランジスタであり、且つトランジスタ118は低電圧側ドライバトランジスタである。高電圧側駆動は未接続の状態で示されているが、当該技術分野において公知の如く、そのゲートは高電圧側ドライバ回路に接続されるものであることを理解すべきである。トランジスタ116及び118のソースは、ドライバ回路80bにおける同様のトランジスタの如く、検知抵抗130の第一端へ接続されている。検知抵抗130の第二端は接地へ接続している。

【0015】コイル26bに対するドライバ回路はコイル26aに対するドライバ回路と類似した態様で構成されている。同一の態様で機能する要素には同一の参照番号を付してあるが、更に、それらの要素がコイル26bドライバ回路に対するものであることを示すために参照番号の終りに「b」を付加してある。コイル26b回路はコミュテーション(転流)が発生する場合のコイル26aと26bとの間での相互作用を示すために包含されている。当業者によって理解される如く、Y形態で構成された3コイルステータの場合に、コイル26cに対する第三ドライバ回路が、モータ内に典型的に設けられている。

【0016】コイル26bドライバ回路は、インバータ100bを有しており、それは、コイルB制御論理信号を受取るための入力端を有すると共に電流源102bの制御要素へ接続している出力端を有している。電流源102bのドレインはVddへ接続しており且つ電流源1

02bのソースは電流源104bのドレインと、コンデンサ106bの第一プレートと、NチャンネルMOSFETトランジスタ108bのゲートとに接続している。電流源104bの制御要素はインバータ100bの入力端へ接続している。コンデンサ106bの第二プレートは接地へ接続している。トランジスタ108bのドレインはPチャンネルMOSFETトランジスタ112bのドレイン及びゲートへ接続されており且つPチャンネルMOSFETトランジスタ114bのゲートへ接続している。トランジスタ112b及び114bのソースはV<sub>dd</sub>へ接続している。トランジスタ112b及び114bは第一カレントミラーを形成している。トランジスタ114bのドレインはNチャンネルMOSFETトランジスタ116bのドレイン及びゲートへ接続すると共に単位利得バッファ増幅器117bの入力端へ接続している。増幅器117bの出力端はNチャンネルMOSFETトランジスタ118bのゲートへ接続している。トランジスタ116bと、単位利得バッファ増幅器と、トランジスタ118bとは第二カレントミラーを形成しており、その場合に、単位利得増幅器がカレントミラーの性能を改善している。トランジスタ116b及び118bのソースは検知抵抗130の第一端へ接続している。トランジスタ118bのドレインはコイル26bの第一端へ接続している。トランジスタ120bはコイル26bに対する高電圧側ドライバトランジスタであり且つそのドレインはV<sub>dd</sub>へ接続しており且つそのソースはコイル26bの第一端へ接続している。

【0017】検知抵抗130の第一端は演算トランスコンダクタンス増幅器(OTA)132の反転入力端へ接続している。OTA132の非反転入力端はV<sub>is</sub>信号を受取る。OTA132の出力端は駆動回路80a内の抵抗110の第二端へ接続しており且つ駆動回路80b内の抵抗110bの第二端へ接続している。

【0018】定常動作においては、与えられたコイルを介して流れる電流はコイルA、コイルB、コイルC信号と結合してV<sub>is</sub>信号によって制御される。例えば、コイル26aが駆動されるフェーズ(位相)においては、コイルA信号が電流源102をターンオンさせてコンデンサ106を充電させトランジスタ108をオン状態とさせる。従って、トランジスタ108を介して流れる電流はV<sub>is</sub>信号及び検知抵抗130からのフィードバック電圧にตอบสนองしてOTA132によって制御される。トランジスタ108を介しての電流はトランジスタ112及び114から形成される第一カレントミラーを介しての電流を制御し、それは、更に、トランジスタ116及び118から形成される第二カレントミラーを制御し、従って低電圧側ドライバトランジスタ118を介しての電流を制御する。コイル26aが定常的にオン状態にある場合には、コイル26bはコイルB信号によってターンオフされ、その場合に電流源102bはオフであり且つ電

流源104bはオンである。この状態において、コンデンサ106b上の電荷は電流源104bによって放電される。その結果、トランジスタ108bはオフ状態に保持される。何故ならば、コンデンサ106b上の電圧は電流源104bによって低状態に保持されるからである。従って、トランジスタ112b及び114bから形成される第一カレントミラーはオフ状態にあり、そのことは、トランジスタ116b及び118bをターンオフした状態に維持する。

10 【0019】図4は、2つのフェーズ(位相)が転流を行なう場合のコイルA制御論理信号とコイルB制御論理信号とに対する相対的な信号のタイミングを示している。コイルA制御論理信号は、コイル26Aがターンオンされ次いでターンオフされる状態を示している。コイルB制御論理信号は、コイル26A信号がターンオフされる時刻においてコイル26Bがターンオンされることを示している。その結果得られる電流A波形は、コイルAがターンオフされることによって定常状態の値からゼロへランブダウン即ち勾配をもって下降する電流を示している。同時に、電流B波形はコイル26bにおける電流がゼロの電流値から定常状態の電流値へ向かってランブアップ即ち勾配をもって上昇することを示しており、その場合の速度は定常状態からゼロへ移行する波形における電流と同一の速度である。

25 【0020】コミュテーション(転流)期間中に、制御論理信号コイルAは高状態から低状態へ移行し、一方制御論理信号コイルBは低状態から高状態へ移行する。従って、電流源102はターンオフされ、一方電流源104は、電流源102bがターンオンされ且つ電流源104bがターンオフされるのと同時にターンオンされる。コンデンサ106上の電荷は、コンデンサ106b上の電荷が電荷なしの状態から満杯充電状態へ移行するのと同時に満杯充電状態から電荷なしの状態へ移行する。その結果、コイル26aを介しての電流は、コイル26bを介しての電流が定常状態の値へランブアップ即ち勾配をもって上昇するのと同時に、定常状態の値からゼロへランブダウン即ち勾配をもって下降する。この定常状態の値は、前述したように、究極的にはOTA132及びV<sub>is</sub>信号によって制御される。従って、コミュテーション即ち転流は、コイル26a及び26bにおける全電流が実質的に一定の状態に維持するような態様に制御される。従って、コミュテーションに起因するノイズはリニアモード及びPWMモードの両方において減少される。更に、スルーレート制御に帯する局所的なフィードバックが存在しないために安定性が向上されている。本発明は、低電圧側ドライバ調整のみならず直列バス調整の両方に対し適合性を有している。

50 【0021】図5は図3の検知抵抗をSENSE FET(検知電界効果トランジスタ)カレントミラー回路で置換した別の実施例を示している。詳細に説明すると、図

5の実施例は、インバータ100を有しており、それは入力端を有すると共に、電流源102の制御要素へ接続した出力端を有している。電流源102のドレインはV<sub>dd</sub>へ接続しており、一方電流源102のソースは電流源104のドレイン、コンデンサ106の第一プレート、NチャンネルMOSFETトランジスタ108のゲートへ接続している。電流源104の制御要素はインバータ100の入力端へ接続しており、電流源104のソースは接地へ接続している。コンデンサ106の第二プレートは接地へ接続している。トランジスタ108のドレインはPチャンネルMOSFETトランジスタ112のドレイン及びゲート及びPチャンネルMOSFETトランジスタ114のゲートへ接続している。トランジスタ112及び114のソースはV<sub>dd</sub>へ接続している。トランジスタ112及び114は第一カレントミラーを形成している。トランジスタ114のドレインはNチャンネルMOSFETトランジスタ116のドレイン及びゲート及び増幅器117の入力端へ接続している。増幅器117の出力端はNチャンネルMOSFETトランジスタ118のゲートへ接続している。トランジスタ116及び118は第二カレントミラーを形成している。Nチャンネルトランジスタ120はコイル26aに対する高電圧側ドライバである。

【0022】検知電界効果トランジスタ回路はトランジスタ122を有しており、そのゲートはトランジスタ118へ接続している。トランジスタ122のドレインは増幅器124の反転入力端へ接続しており、該増幅器の非反転入力端はトランジスタ118のドレインへ接続している。増幅器124の出力端はNチャンネルMOSFETトランジスタ126のゲートへ接続している。トランジスタ126のドレインはトランジスタ136及び128から構成されているカレントミラーへ接続している。トランジスタ128のソースはV<sub>dd</sub>へ接続しており且つトランジスタ128のドレインはOTA132の反転入力端及び抵抗138へ接続している。

【0023】トランジスタ122、増幅器124、トランジスタ126、トランジスタ128は、動作してOTA132へ電圧を供給し、それはトランジスタ118を介しての電流に比例している。従って、検知電界効果ト

ランジスタカレントミラー回路は図3における検知抵抗130に置き代わっている。この回路も、コイル26a及び26bにおける全電流が一定に維持されるような態様でコミュテーションが制御されるという利点を提供している。従って、コミュテーションに起因するノイズはリニアモード及びPWMモードの両方において減少されている。スルーレート制御に対する局所的フィードバックが存在しないために安定性も向上されている。

【0024】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。例えば、MOS装置の代わりにバイポーラトランジスタを使用することも可能である。

【図面の簡単な説明】

【図1】 従来のDCモータ制御回路のブロック図。

【図2】 従来のドライバ回路の概略図。

【図3】 本発明の好適例を示した概略図。

【図4】 図3の回路に対する入力信号及びステータコイル26a及び26bに対する電流波形のタイミング線図。

【図5】 検知抵抗の代わりに検知電界効果トランジスタ（カレントミラー）を使用したドライバ回路の実施例を示した概略図。

【符号の説明】

26 ステータコイル

80 ドライバ回路

100 インバータ

102, 104 電流源

106 コンデンサ

108 NチャンネルMOSFETトランジスタ

112, 114 PチャンネルMOSFETトランジスタ

116 NチャンネルMOSFETトランジスタ

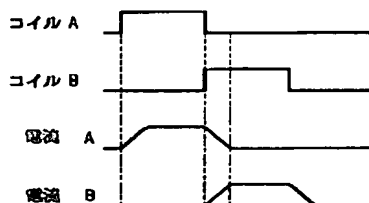
117 単位利得バッファ増幅器

118, 120 NチャンネルMOSFETトランジスタ

130 検知抵抗

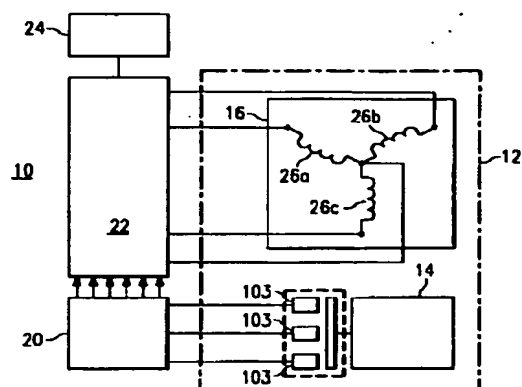
132 演算トランスコンダクタンス増幅器(OTA)

【図4】

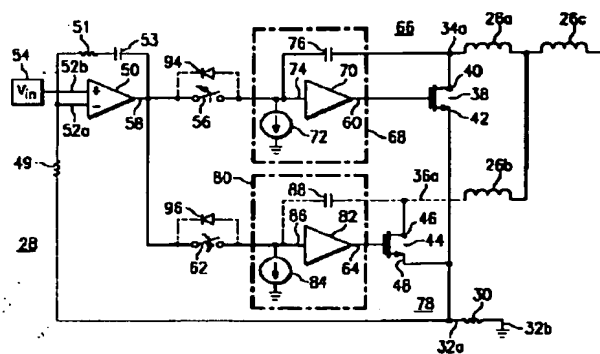




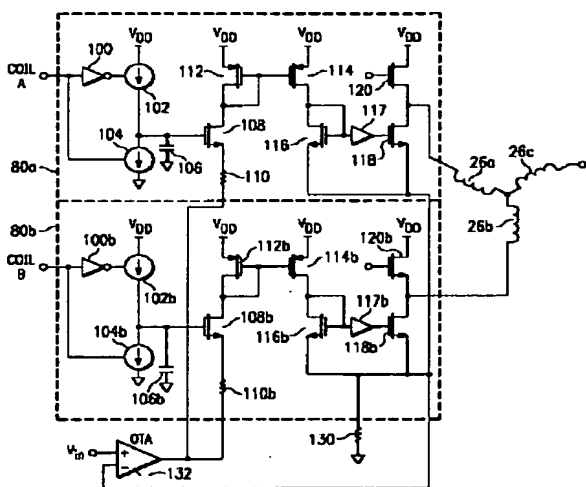
【図1】



【図2】



【図3】



【図5】

